

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-144188

(P2001-144188A)

(43) 公開日 平成13年5月25日 (2001.5.25)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

サーチコード\* (参考)

H 0 1 L 21/8234  
27/06  
27/04  
21/822

H 0 1 L 27/06  
27/04

1 0 2 A 5 F 0 3 8  
C 5 F 0 4 8

審査請求 未請求 請求項の数10 O L (全 9 頁)

(21) 出願番号

特願平11-324850

(22) 出願日

平成11年11月16日 (1999.11.16)

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者

上田 佳徳

東京都大田区中馬込1丁目3番6号 株式  
会社リコー内

(72) 発明者

吉田 雅昭

東京都大田区中馬込1丁目3番6号 株式  
会社リコー内

(74) 代理人

100085464

弁理士 野口 繁雄

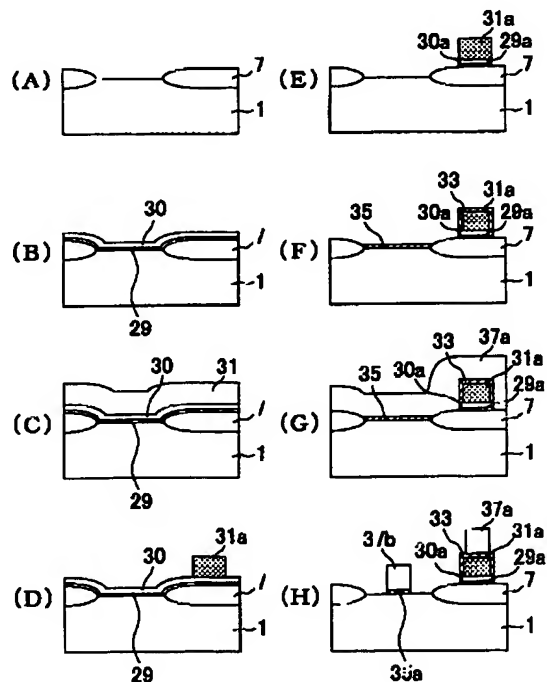
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 電圧依存性の小さい2層ポリシリコン容量素子としきい値のばらつきの小さいMOSTランジスタを混載する半導体装置の製造方法を提供する。

【解決手段】 LOCOS膜7を形成し (A)、犠牲酸化膜29とシリコン窒化膜30を形成し (B)、ポリシリコン膜31を堆積し (C)、シリコン窒化膜30によってMOSTランジスタ領域へのリンの拡散を防止しつつ、ポリシリコン膜31に高濃度にリンを導入した後、ポリシリコン膜31により下部電極31aを形成する (D)。シリコン窒化膜30を除去し、犠牲酸化膜29越しにMOSTランジスタ領域にしきい値制御用の不純物を注入した後、犠牲酸化膜29を除去し (E)、層間絶縁膜33とシリコン酸化膜35を同時に形成し (F)、その上からポリシリコン膜37を堆積し (G)、ポリシリコン膜37により上部電極37aとゲート電極パターン37bを同時に形成する。



## 【特許請求の範囲】

【請求項1】 同一基板上に少なくともMOSTランジスタとポリシリコン層間絶縁膜-ポリシリコン構造からなる容量素子とを含む半導体装置を製造する方法において、以下の工程(A)から工程(D)によって容量素子を形成することを特徴とする半導体装置の製造方法。

(A) MOSTランジスタ領域上を覆い、素子分離領域に開口をもつ耐酸化性の素子分離用パターニング膜を用いて素子分離領域を形成した後、前記素子分離用パターニング膜を残した状態で、半導体基板上に、前記容量素子を構成する下部電極用の第1のポリシリコン膜を形成する工程、

(B) 前記第1のポリシリコン膜に不純物の導入及びパターニングを施して、前記素子分離領域上に前記容量素子の下部電極を形成する工程、

(C) 前記下部電極の表面に、前記容量素子を構成する層間絶縁膜を形成する工程、

(D) 前記下部電極上に前記層間絶縁膜を介して第2のポリシリコン膜からなる前記容量素子の上部電極を形成する工程。

【請求項2】 前記素子分離用パターニング膜はシリコン窒化膜層を含んでいる請求項1に記載の半導体装置の製造方法。

【請求項3】 前記層間絶縁膜はシリコン酸化膜であって、前記工程(C)は、前記層間絶縁膜を形成する前に、前記素子分離用パターニング膜を除去して前記MOSTランジスタ領域の表面を露出させる工程を含み、前記層間絶縁膜の形成時に、前記MOSTランジスタ領域の表面にMOSTランジスタのゲート酸化膜用のシリコン酸化膜を同時に形成する請求項1又は2に記載の半導体装置の製造方法。

【請求項4】 前記素子分離用パターニング膜は、下層がシリコン酸化膜、上層がシリコン窒化膜の積層膜であって、前記工程(C)は、前記素子分離用パターニング膜を除去する際に、前記素子分離用パターニング膜のシリコン窒化膜のみを除去した後、前記MOSTランジスタ領域に残存する前記素子分離用パターニング膜のシリコン酸化膜をしきい値制御用の不純物注入の保護膜として、前記シリコン酸化膜を介して、前記MOSTランジスタ領域に不純物注入を施す工程を含む請求項3に記載の半導体装置の製造方法。

【請求項5】 前記工程(D)は、半導体基板上に、前記上部電極用の第2のポリシリコン膜を形成し、その第2のポリシリコン膜に不純物の導入及びパターニングを施して前記上部電極を形成する工程を含み、前記第2のポリシリコン膜にパターニングを施す際に、前記ゲート酸化膜用のシリコン酸化膜を含む領域上に、前記第2のポリシリコン膜からなる前記MOSTランジスタ用のゲート電極パターンを形成する請求項1から4のいずれかに記載の半導体装置の製造方法。

【請求項6】 同一基板上に少なくともMOSTランジスタとポリシリコン層間絶縁膜-ポリシリコン構造からなる容量素子とを含む半導体装置を製造する方法において、以下の工程(A)から工程(E)によって容量素子を形成することを特徴とする半導体装置の製造方法。

(A) MOSTランジスタ領域上を覆い、素子分離領域に開口をもつ耐酸化性の素子分離用パターニング膜を用いて素子分離領域を形成し、前記素子分離用パターニング膜を除去した後、少なくとも前記MOSTランジスタ領域上に、前記MOSTランジスタ領域への不純物の拡散を防止する下地膜を形成する工程、

(B) 半導体基板上に、前記容量素子を構成する下部電極用の第1のポリシリコン膜を形成する工程、

(C) 前記第1のポリシリコン膜に不純物の導入及びパターニングを施して、前記素子分離領域上に前記容量素子の下部電極を形成する工程、

(D) 前記下部電極の表面に、前記容量素子を構成する層間絶縁膜を形成する工程、

(E) 前記下部電極上に前記層間絶縁膜を介して前記容量素子の上部電極を形成する工程。

【請求項7】 前記下地膜は、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜、又は下層がシリコン酸化膜、上層がシリコン窒化膜の積層膜のいずれかである請求項6に記載の半導体装置の製造方法。

【請求項8】 前記層間絶縁膜はシリコン酸化膜であって、前記工程(D)は、前記層間絶縁膜を形成する前に、前記下地膜を除去して前記MOSTランジスタ領域の表面を露出させる工程を含み、前記層間絶縁膜の形成時に、前記MOSTランジスタ領域の表面にMOSTランジスタのゲート酸化膜用のシリコン酸化膜を同時に形成する請求項6又は7に記載の半導体装置の製造方法。

【請求項9】 前記下地膜は、下層がシリコン酸化膜、上層がシリコン窒化膜の積層膜であって、前記工程(D)は、前記下地膜を除去する際に、前記下地膜のシリコン窒化膜のみを除去した後、前記MOSTランジスタ領域に残存する前記下地膜のシリコン酸化膜をしきい値制御用の不純物注入の保護膜として、前記シリコン酸化膜を介して、前記MOSTランジスタ領域に不純物注入を施す工程を含む請求項7に記載の半導体装置の製造方法。

【請求項10】 前記工程(E)は、半導体基板上に、前記上部電極用の第2のポリシリコン膜を形成し、その第2のポリシリコン膜に不純物の導入及びパターニングを施して前記上部電極を形成する工程を含み、前記第2のポリシリコン膜にパターニングを施す際に、前記ゲート酸化膜用のシリコン酸化膜を含む領域上に、前記第2のポリシリコン膜からなる前記MOSTランジスタ用のゲート電極パターンを形成する請求項6から9のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、同一基板上に少なくともMOSTランジスタと、2層ポリシリコン容量素子（ポリシリコン層間絶縁膜-ポリシリコン構造からなる容量素子）を含む半導体装置の製造方法に関するものである。

## 【0002】

【従来の技術】図1は、MOSTランジスタ及び2層ポリシリコン容量素子を含む半導体装置の従来の製造方法を示す工程断面図である。

(A) シリコン基板1の表面に、バッファ酸化膜3とシリコン窒化膜5の積層膜からなる耐酸化被膜を形成する。熱酸化処理を施して素子分離用フィールド酸化膜のLOCOS膜7を形成し、MOSTランジスタの活性領域を形成する。(B) LOCOS膜7のパターニングに使用したバッファ酸化膜3及びシリコン窒化膜5を除去した後、シリコン基板1の表面に犠牲酸化膜9を形成し、さらにその上に、例えばCVDによって容量素子の下部電極となるポリシリコン膜11を堆積する。

【0003】(C) 不純物拡散技術によってポリシリコン膜11に不純物を高濃度に導入した後、フォトリソグラフィ工程及びエッチング工程を経て、下部電極11aを形成する。

(D) 露出している犠牲酸化膜9を除去した後、酸化処理を施して、下部電極11aの露出している表面に層間絶縁膜13を形成し、MOSTランジスタの活性領域の表面にゲート酸化膜用のシリコン酸化膜15を形成する。次に、シリコン基板1上に、容量素子の上部電極及びMOSTランジスタのゲート電極となるポリシリコン膜17を堆積する。

【0004】(E) 不純物拡散技術によってポリシリコン膜17に不純物を導入した後、フォトリソグラフィ工程及びエッチング工程を経て、下部電極11a上に層間絶縁膜13を介して上部電極17aを形成し、下部電極11a-層間絶縁膜13-上部電極17aからなる2層ポリシリコン容量素子をLOCOS膜7上に形成する。また、上部電極17aの形成と同時に、MOSTランジスタの活性領域上に、シリコン酸化膜15を介して、ゲート電極パターン17bを形成する。次に、ゲート電極パターン17b下を除くシリコン酸化膜15を除去してゲート酸化膜15aを形成し、拡散層の形成などを行なって、MOSTランジスタを形成する。

## 【0005】

【発明が解決しようとする課題】下部電極11a用のポリシリコン膜11に対して導入される不純物濃度は、容量素子の電圧依存性を小さくするため、例えば $1 \times 10^{20} \text{ cm}^{-3}$ 程度の高濃度に設定されることが多い。その結果、ポリシリコン膜11中と周辺の犠牲酸化膜9中との不純物濃度勾配が急峻になり、ポリシリコン膜11への不純物導入時の熱処理や導入後のプロセス工程による熱

処理によって、ポリシリコン膜11中の不純物が犠牲酸化膜9へ拡散再分布していく現象が起こる。

【0006】このことを積極的にランジスタのしきい値制御に用いる方法が特開平05-121735号公報に開示されており、そこでは水素雰囲気中で不純物の酸化膜中における拡散を増速させている。また、周辺のシリコン酸化膜への不純物の拡散を防止する方法として、特開平10-303410号公報に開示されている方法では、P型ポリシリコンゲート電極中のボロンが周囲のシリコン酸化膜中に拡散してゲート電極が空乏化するのを防止するため、バリア層としてシリコン窒化膜でポリシリコンゲート電極の上部及び側面部を覆う方法が提案されている。しかしながら、この方法では、ポリシリコン下部からシリコン基板へ不純物が拡散していくのを防止することができない。

【0007】従来の2層ポリシリコンプロセスの場合、下部電極11a用のポリシリコン膜11への不純物導入時あるいはその後の熱処理時に、図1(B)に示されるように、シリコン基板1とポリシリコン膜11との間には比較的薄い犠牲酸化膜9が存在するだけなので、容易にシリコン基板1側に不純物が導入されてしまう。この意図しない不純物導入によって、後に形成されるMOSTランジスタのしきい値がばらつくという問題が発生する。

【0008】そこで本発明は、MOSTランジスタとポリシリコン層間絶縁膜-ポリシリコン構造からなる容量素子とを混載する半導体装置の製造方法において、ポリシリコン膜からMOSTランジスタ領域への意図しない不純物の拡散を防止して、MOSTランジスタのしきい値ばらつきの小さい半導体装置の製造方法を提供することを目的とするものである。

## 【0009】

【課題を解決するための手段】本発明の第1の態様は、同一基板上に少なくともMOSTランジスタとポリシリコン層間絶縁膜-ポリシリコン構造からなる容量素子とを含む半導体装置を製造する方法であって、以下の工程(A)から工程(D)によって容量素子を形成する。

(A) MOSTランジスタ領域上に覆い、素子分離領域に開口をもつ耐酸化性の素子分離用パターニング膜を用いて素子分離領域を形成した後、素子分離用パターニング膜を残した状態で、半導体基板上に、容量素子を構成する下部電極用の第1のポリシリコン膜を形成する工程、(B) 第1のポリシリコン膜に不純物の導入及びパターニングを施して、素子分離領域上に容量素子の下部電極を形成する工程、(C) 下部電極の表面に、容量素子を構成する層間絶縁膜を形成する工程、(D) 下部電極上に層間絶縁膜を介して容量素子の上部電極を形成する工程。

【0010】素子分離用パターニング膜を残した状態で、容量素子を構成する下部電極用の第1のポリシリコ

ン膜を形成するので、MOSTランジスタの活性領域（MOSTランジスタ領域）の半導体基板と第1のポリシリコンとの間には素子分離用パターンニング膜が残存している。その結果、第1のポリシリコン膜に不純物の導入を施す際に、第1のポリシリコン膜から半導体基板側へ不純物が拡散しても、残存する素子分離用パターンニング膜が不純物の半導体基板への拡散を防止するので、MOSTランジスタの活性領域への意図しない不純物の拡散を防止することができる。

【0011】本発明の第2の態様は、以下の工程（A）から工程（E）によって容量素子を形成する半導体装置の製造方法である。（A）MOSTランジスタ領域上に覆う素子分離用パターンニング膜を用いて素子分離領域を形成し、素子分離用パターンニング膜を除去した後、少なくともMOSTランジスタ領域上に、MOSTランジスタ領域への不純物の拡散を防止する下地膜を形成する工程、（B）半導体基板上に、容量素子を構成する下部電極用の第1のポリシリコン膜を形成する工程、（C）第1のポリシリコン膜に不純物の導入及びパターンニングを施して、素子分離領域上に容量素子の下部電極を形成する工程、（D）下部電極の表面に、容量素子を構成する層間絶縁膜を形成する工程、（E）下部電極上に層間絶縁膜を介して容量素子の上部電極を形成する工程。

【0012】素子分離用パターンニング膜を除去した後、少なくともMOSTランジスタ領域上に下地膜を形成するので、MOSTランジスタの活性領域の半導体基板と第1のポリシリコンとの間には下地膜が存在する。その結果、第1のポリシリコン膜に不純物の導入を施す際に、第1のポリシリコン膜から半導体基板側へ不純物が拡散しても、下地膜が不純物の半導体基板への拡散を防止するので、MOSTランジスタの活性領域への意図しない不純物の拡散を防止することができる。また、下地膜はパターン化されていないので、急峻な段差がなく、第1のポリシリコン膜のパターン化の際にポリシリコン膜の残渣が生じにくい。

【0013】

【発明の実施の形態】第1の態様の製造方法において、素子分離用パターンニング膜はシリコン窒化膜層を含んでいることが好ましい。さらに、容量素子を構成する層間絶縁膜はシリコン酸化膜であって、工程（C）は、層間絶縁膜を形成する前に、素子分離用パターンニング膜を除去してMOSTランジスタ領域の表面を露出させる工程を含み、層間絶縁膜の形成時に、MOSTランジスタ領域の表面にMOSTランジスタのゲート酸化膜用のシリコン酸化膜を同時に形成することが好ましい。その結果、製造工程を削減することができる。

【0014】さらに、素子分離用パターンニング膜は下層がシリコン酸化膜、上層がシリコン窒化膜の積層膜であって、工程（C）は、素子分離用パターンニング膜を除去する際に、素子分離用パターンニング膜のシリコン窒化膜

のみを除去した後、MOSTランジスタ領域に残存する素子分離用パターンニング膜のシリコン酸化膜をしきい値制御用の不純物注入の保護膜として、シリコン酸化膜を介して、MOSTランジスタ領域に不純物注入を施す工程を含むことが好ましい。その結果、製造工程を削減することができる。

【0015】さらに、工程（D）は、半導体基板上に、上部電極用の第2のポリシリコン膜を形成し、その第2のポリシリコン膜に不純物の導入及びパターンニングを施して上部電極を形成する工程を含み、第2のポリシリコン膜にパターンニングを施す際に、ゲート酸化膜用のシリコン酸化膜を含む領域上に、第2のポリシリコン膜からなるMOSTランジスタ用のゲート電極パターンを形成することが好ましい。その結果、製造工程を削減することができる。

【0016】第2の態様の製造方法において、下地膜は、シリコン酸化膜、シリコン窒化膜、又は下層がシリコン酸化膜、上層がシリコン窒化膜の積層膜のいずれかであることが好ましい。シリコン酸化膜の場合はその膜厚を不純物の染み出し拡散距離に対して十分大きくすることが好ましい。さらに、容量素子を構成する層間絶縁膜はシリコン酸化膜であって、工程（D）は、層間絶縁膜を形成する前に、下地膜を除去してMOSTランジスタ領域の表面を露出させる工程を含み、層間絶縁膜の形成時に、MOSTランジスタ領域の表面にMOSTランジスタのゲート酸化膜用のシリコン酸化膜を同時に形成することが好ましい。その結果、製造工程を削減することができる。

【0017】下地膜は、下層がシリコン酸化膜、上層がシリコン窒化膜の積層膜であって、工程（D）は、下地膜を除去する際に、下地膜のシリコン窒化膜のみを除去した後、MOSTランジスタ領域に残存する下地膜のシリコン酸化膜をしきい値制御用の不純物注入の保護膜として、シリコン酸化膜を介して、MOSTランジスタ領域に不純物注入を施す工程を含むことが好ましい。その結果、製造工程を削減することができる。

【0018】さらに、工程（E）は、半導体基板上に、上部電極用の第2のポリシリコン膜を形成し、その第2のポリシリコン膜に不純物の導入及びパターンニングを施して上部電極を形成する工程を含み、第2のポリシリコン膜にパターンニングを施す際に、ゲート酸化膜用のシリコン酸化膜を含む領域上に、第2のポリシリコン膜からなるMOSTランジスタ用のゲート電極パターンを形成することが好ましい。その結果、製造工程を削減することができる。

【0019】

【実施例】図2は、本発明にかかる半導体装置の製造方法の第1の態様の一実施例を示す工程断面図である。ただし、以下に示す実施例は本発明にかかる半導体装置の製造方法を限定するものではなく、特許請求の範囲に記

載された本発明の要旨の範囲内で種々の変更を行なうことができる。

【0020】(A) シリコン基板1上に、LOCOS膜形成用の素子分離用パターンニング膜を構成する、例えば膜厚が25nmのバッファ酸化膜3及び膜厚が100nmのシリコン窒化膜5をMOSTランジスタ領域上に形成した後、通常のLOCOS膜法を用いて、例えば膜厚が450nmのLOCOS膜7を形成する。

(B) LOCOS膜7の形成時に用いたバッファ酸化膜3及びシリコン窒化膜5を残した状態で、引き続き2層ポリシリコン容量素子の下部電極となるポリシリコン膜21をCVD法により例えば350nmの膜厚で形成する。

【0021】(C) 不純物拡散技術を用いて、ポリシリコン膜21に、例えば40keVのエネルギー、 $5 \times 10^{15} \text{ cm}^{-2}$ のドーズ量の条件でリンの注入を行ない、 $1 \times 10^{20} \text{ cm}^{-3}$ の濃度にリンを導入する。この時、リンをポリシリコン膜21中に拡散させるために、通常900度程度の熱処理を施す。従来技術では、この熱処理時に、リンがシリコン基板1のMOSTランジスタの活性領域へ拡散し、MOSTランジスタのしきい値をバラツかせる要因となっていたが、この実施例では、MOSTランジスタ領域上にバッファ酸化膜3及びシリコン窒化膜5を残存させているので、従来技術のようにリンの拡散がシリコン基板1にまで達することがなく、MOSTランジスタのしきい値のバラツキを抑えることができる。そして、フォトリソグラフィ技術及びパターンニング技術を用いて、LOCOS膜7上に容量素子の下部電極21aを形成する。

【0022】(D) MOSTランジスタの活性領域上のバッファ酸化膜3及びシリコン窒化膜5をエッチング技術によって除去する。この時、シリコン窒化膜5はドライエッチング法を用いて除去してもよいし、ウェットエッチング法を用いて選択的に除去してもよい。また、シリコン窒化膜5のみを除去した後、バッファ酸化膜3を介して、MOSTランジスタの活性領域となるシリコン基板1の領域に、しきい値制御用のイオン注入を施し、その後、バッファ酸化膜3を除去してもよい。

【0023】(E) 熱処理を施して、下部電極21aの露出している表面に、例えば30nmの膜厚で層間絶縁膜23を形成するとともに、MOSTランジスタの活性領域のシリコン基板1表面に、例えば15nmの膜厚でゲート酸化膜用のシリコン酸化膜25を形成する。

(F) シリコン基板1上に、容量素子の上部電極及びMOSTランジスタのゲート電極となるポリシリコン膜27をCVD法により例えば350nmの膜厚で堆積する。

【0024】(G) 不純物拡散技術によって、ポリシリコン膜27に、例えば40keVのエネルギー、 $5 \times 10^{15} \text{ cm}^{-2}$ のドーズ量の条件でリンの注入を行ない、 $1 \times$

$10^{20} \text{ cm}^{-3}$ の濃度にリンを導入した後、フォトリソグラフィ工程及びエッチング工程を経て、下部電極21a上に層間絶縁膜23を介して上部電極27aを形成し、下部電極21a-層間絶縁膜23-上部電極27aからなる2層ポリシリコン容量素子をLOCOS膜7上に形成する。また、上部電極27aの形成と同時に、MOSTランジスタの活性領域上に、シリコン酸化膜25を介して、ゲート電極パターン27bを形成する。

【0025】次に、ゲート電極27b下を除くシリコン酸化膜25を除去してゲート酸化膜25aを形成し、拡散層の形成などを行なって、MOSTランジスタを形成する。下部電極21aの最終的なシート抵抗値(単位面積あたりの抵抗値)は $15 \Omega/\square$ 以下となる。以上によって、下部電極21a-層間絶縁膜23-上部電極27aからなる、下部電極21aの不純物濃度が高濃度で電圧依存性の少ない2層ポリシリコン容量素子と、しきい値バラツキの小さいMOSTランジスタを同一シリコン基板1上に形成することができる。さらに、バッファ酸化膜3及びシリコン窒化膜5を残すだけであるので、工程数を増加させずに実現できる。

【0026】図3は、本発明にかかる半導体装置の製造方法の第2の態様の一実施例を示す工程断面図である。

(A) シリコン基板1上に、通常のLOCOS膜法を用いてLOCOS膜7を形成した後、例えばウェットエッチングによって、LOCOS膜法で用いたバッファ酸化膜とシリコン窒化膜の積層膜からなる素子分離パターン膜を除去する。

(B) 熱酸化処理によって、シリコン基板1上に、膜厚が $11 \pm 1 \text{ nm}$ のシリコン酸化膜からなる犠牲酸化膜29を形成し、さらにその上に、LPCVD (Low Pressure CVD) 法によって、膜厚が $100 \pm 10 \text{ nm}$ のシリコン窒化膜30を形成する。本発明の第2の態様にかかる下地膜は、この実施例では犠牲酸化膜29とシリコン窒化膜30によって構成される。

(C) さらにシリコン窒化膜30上に、LPCVD法によって、2層ポリシリコン容量素子の下部電極となるポリシリコン膜31をCVD法により例えば350nmの膜厚で形成する。

【0027】(D) 不純物拡散技術を用いて、ポリシリコン膜31に、例えば40keVのエネルギー、 $5 \times 10^{15} \text{ cm}^{-2}$ のドーズ量の条件でリンの注入を行ない、 $1 \times 10^{20} \text{ cm}^{-3}$ の濃度にリンを導入する。この時、リンをポリシリコン膜31中に拡散させるために、通常900度程度の熱処理を施す。従来技術では、この熱処理時に、リンがシリコン基板1のMOSTランジスタ領域へ拡散し、MOSTランジスタのしきい値をバラツかせる要因となっていたが、この実施例では、MOSTランジスタ領域上に、下地膜としての犠牲酸化膜29及びシリコン窒化膜30を形成しているため、従来技術のようにリンの拡散がシリコン基板1にまでおよぶことがなく、

MOSTランジスタのしきい値のバラツキを抑えることができる。

【0028】そして、フォトリソグラフィ技術を用いて、容量素子の下部電極を形成する所定の領域のポリシリコン膜31上にフォトレジストマスクを形成し、それをマスクとしてポリシリコン膜31を選択的にエッチングして、LOCOS膜7上に下部電極31aを形成する。この時、図2の実施例の工程(C)に示すような、バッファ酸化膜3及びシリコン窒化膜5による段差は存在しないので、ポリシリコン膜31のエッチング時の残渣の発生はない。

【0029】(E)例えば熱リン酸を用いたウェットエッチングによって、下部電極31a下以外の領域に存在するシリコン窒化膜30を除去する。そして、MOSTランジスタのしきい値を所望の値に調整するために、通常のフォトリソグラフィ工程とイオン注入工程によって、犠牲酸化膜29越しに、MOSTランジスタの活性領域となるシリコン基板1の領域に不純物イオンを注入する。その後、例えばフッ酸を用いたウェットエッチングによって、下部電極31a下以外の領域に存在する犠牲酸化膜29を除去し、MOSTランジスタの活性領域となるシリコン基板1の領域を露出させる。シリコン窒化膜30をエッチング除去する時に、犠牲酸化膜29は、熱リン酸によってほとんど除去されない。したがって、犠牲酸化膜29の膜厚を薄く形成することができ、膜厚バラツキの狭い犠牲酸化膜29越しに、しきい値制御用の不純物イオンの注入を施すことができ、MOSTランジスタのしきい値のバラツキを抑制できる。

【0030】(F)熱処理を施して、下部電極31aの露出している表面に、例えば30nmの膜厚で層間絶縁膜33を形成するとともに、MOSTランジスタの活性領域のシリコン基板1表面に、例えば15nmの膜厚でゲート酸化膜用のシリコン酸化膜35を形成する。

(G)シリコン基板1上に、容量素子の上部電極及びMOSTランジスタのゲート電極となるポリシリコン膜37をCVD法により例えば350nmの膜厚で堆積する。

【0031】(H)不純物拡散技術によって、ポリシリコン膜37に、例えば40keVのエネルギー、 $5 \times 10^{15} \text{ cm}^{-2}$ のドーズ量の条件でリンの注入を行ない、 $1 \times 10^{20} \text{ cm}^{-3}$ の濃度にリンを導入した後、フォトリソグラフィ工程及びエッチング工程を経て、下部電極31a上に層間絶縁膜33を介して上部電極37aを形成し、下部電極31a-層間絶縁膜33-上部電極37aからなる2層ポリシリコン容量素子をLOCOS膜7上に形成する。また、上部電極37aの形成と同時に、MOSTランジスタの活性領域上に、シリコン酸化膜35を介して、ゲート電極パターン37bを形成する。

【0032】次に、ゲート電極27b下を除くシリコン酸化膜35を除去してゲート酸化膜35aを形成し、拡

散層の形成などを行なって、MOSTランジスタを形成する。下部電極21aの最終的なシート抵抗値(単位面積あたりの抵抗値)は $15 \Omega/\square$ 以下となる。以上によって、下部電極31a-層間絶縁膜33-上部電極37aからなる、下部電極31aの不純物濃度が高濃度で電圧依存性の少ない2層ポリシリコン容量素子と、しきい値バラツキの小さいMOSTランジスタを同一シリコン基板1上に形成することができる。

【0033】さらに、この実施例によると、ポリシリコン膜31をエッチングする時に残渣が発生せず、製品の歩留まり低下を防ぐ効果がある。さらに、MOSTランジスタのしきい値制御用のイオン注入に用いる犠牲酸化膜29の形成を下部電極31aの形成前に行なっているので、下部電極31aの形成後に、熱酸化処理及びエッチング処理を施する回数を減らす、すなわち、しきい値制御専用の犠牲酸化膜の形成を省略することができ、下部電極31aの表面に形成される層間絶縁膜33の表面の荒れによる2層ポリシリコン容量素子バラツキを低減できる効果がある。図2の実施例においても、バッファ酸化膜3をしきい値制御用の犠牲酸化膜として用いれば、下部電極21aの形成後に、熱酸化処理及びエッチング処理を施す回数を減らすことができ、2層ポリシリコン容量素子バラツキを低減できる。

【0034】ここでは、ポリシリコン膜31の下地膜として、犠牲酸化膜29及びシリコン窒化膜30の積層膜を用いているが、下地膜はこれに限定されるものではなく、例えばCVD法によるHTO膜(高温酸化膜)、シリコン窒化膜若しくはシリコン酸窒化膜のいずれかによって構成される単層膜、又はそれらの積層膜などを用いても、残渣発生による製品の歩留まり低下を防止しつつ、活性領域シリコン基板へのリンの拡散を防止する効果がある。また、これらの実施例ではポリシリコン膜中へのリンの導入方法としてイオン注入を用いているが、本発明はこれに限定されるものではなく、固相拡散技術を用いてもよい。

【0035】

【発明の効果】請求項1の半導体装置の製造方法においては、MOSTランジスタ領域上に覆うLOCOS膜形成用の素子分離用パターニング膜を用いて素子分離領域を形成した後、素子分離用パターニング膜を残した状態で、容量素子を構成する下部電極用の第1のポリシリコン膜を形成し、第1のポリシリコン膜への不純物の導入時に、第1のポリシリコン膜と半導体基板との間に素子分離用パターニング膜を残存させるようにしているので、第1のポリシリコン膜中から不純物が半導体基板側へ染み出したとしても、残存する素子分離用パターニング膜が不純物の拡散をブロックするため、MOSTランジスタの活性領域への意図しない不純物の染み出しを防止することができ、ランジスタの電気的特性のバラツキを軽減することができる。

【0036】請求項2の半導体装置の製造方法においては、素子分離用パターンニング膜は、不純物のブロック能力の高いシリコン窒化膜層を含んでいるので、第1のポリシリコン膜中から半導体基板側への不純物の拡散の防止能を向上させることができ、MOSトランジスタの電気的特性のバラツキを一層軽減することができる。請求項3、8の半導体装置の製造方法においては、容量素子を構成する層間絶縁膜はシリコン酸化膜であって、層間絶縁膜と、MOSトランジスタのゲート酸化膜用のシリコン酸化膜を同時に形成するようにしているので、製造工程を削減することができ、かつ2層ポリシリコン容量素子バラツキを低減できる。

【0037】請求項4の半導体装置の製造方法においては、素子分離用パターンニング膜は下層がシリコン酸化膜、上層がシリコン窒化膜の積層膜であって、素子分離用パターンニング膜のシリコン酸化膜をしきい値制御用の不純物注入の保護膜として兼用しているため、工程の削減、ひいてはコストダウンが実現できる。

【0038】請求項5、10の半導体装置の製造方法においては、第2のポリシリコン膜をパターンニングして、容量素子の上部電極及びMOSトランジスタのゲート電極パターンを同時に形成するようにしているので、製造工程を削減することができる。

【0039】請求項6の半導体装置の製造方法においては、素子分離用パターンニング膜を除去した後、少なくともMOSトランジスタ領域上に、MOSトランジスタ領域への不純物の拡散を防止する下地膜を形成するようにしているので、MOSトランジスタの活性領域の半導体基板と第1のポリシリコンとの間には下地膜が残存し、第1のポリシリコン膜に不純物の導入を施す際に、第1のポリシリコン膜中から不純物が半導体基板側へ染み出したとしても、残存する素子分離用パターンニング膜が不純物の拡散をブロックするため、MOSトランジスタの活性領域への意図しない不純物の染み出しを防止することができ、トランジスタの電気的特性のバラツキを軽減することができる。

【0040】請求項7の半導体装置の製造方法においては、下地膜は、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜、又は下層がシリコン酸化膜、上層がシリ

コン窒化膜の積層膜のいずれかであり、シリコン酸化膜の場合はその膜厚を不純物の染み出し拡散距離に対して十分大きくするようにしているので、第1のポリシリコン膜中から半導体基板側への不純物の拡散の防止能を向上させることができ、MOSトランジスタの電気的特性のバラツキを一層軽減することができる。

【0041】請求項9の半導体装置の製造方法においては、下地膜は、下層がシリコン酸化膜、上層がシリコン窒化膜の積層膜であって、下地膜のシリコン酸化膜をしきい値制御用の不純物注入の保護膜として兼用しているので、工程の削減、ひいてはコストダウンが実現できる。

#### 【図面の簡単な説明】

【図1】 MOSトランジスタ及び2層ポリシリコン容量素子を含む半導体装置の従来の製造方法を示す工程断面図である。

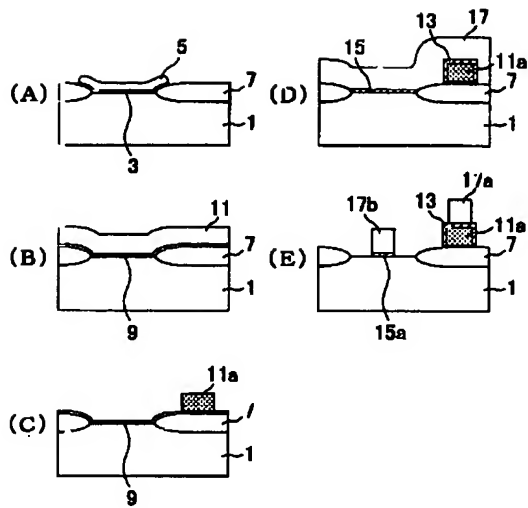
【図2】 本発明にかかる半導体装置の製造方法の第1の態様の一実施例を示す工程断面図である。

【図3】 本発明にかかる半導体装置の製造方法の第2の態様の一実施例を示す工程断面図である。

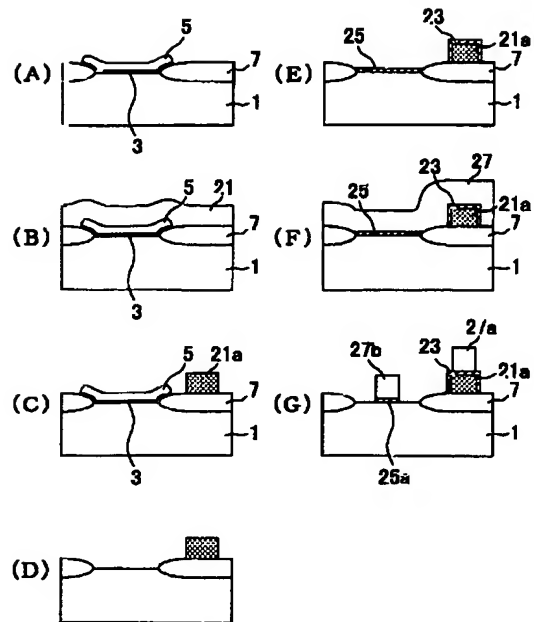
#### 【符号の説明】

1	シリコン基板
3	素子分離用パターンニング膜用のバッファ酸化膜
5	素子分離用パターンニング膜用のシリコン窒化膜
7	LOCOS膜
9	バッファ酸化膜
11, 21, 31	容量素子の下部電極用のポリシリコン膜
11a, 21a, 31a	容量素子の下部電極
13, 23, 33	容量素子の層間絶縁膜
15	ゲート酸化膜用のシリコン酸化膜
15a	ゲート酸化膜
17, 27, 37	容量素子の上部電極用のポリシリコン膜
17a, 27a, 37a	容量素子の上部電極
29	下地膜用のバッファ酸化膜
30	下地膜用のシリコン窒化膜

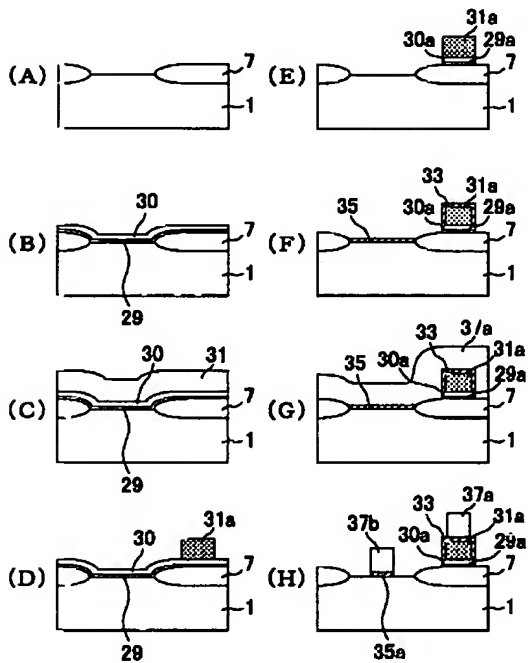
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 原 和巳  
東京都大田区中馬込1丁目3番6号 株式  
会社リコー内

(72)発明者 上田 尚宏  
東京都大田区中馬込1丁目3番6号 株式  
会社リコー内

(72)発明者 貴島 正人

東京都大田区中馬込1丁目3番6号 株式

会社リコー内

Fターム(参考) 5F038 AC03 AC05 AC15 AC18 AV06

EZ13 EZ15 EZ16 EZ20

5F048 AA07 AA09 AC10 BB05 BB14

BD04 BG12 DA09 DA18 DA19

DB04